



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08167614 A**

(43) Date of publication of application: 25 . 06 . 96

(51) Int. Cl. **H01L 21/331**  
**H01L 29/73**  
**H01L 21/329**

(21) Application number: **06308516**(71) Applicant: **FUJI ELECTRIC CO LTD**

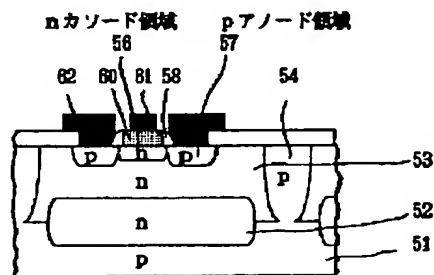
(22) Date of filing: 13 . 12 . 94

(72) Inventor: **NAGAYASU YOSHIHIKO****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57) Abstract:**

**PURPOSE:** To provide a semiconductor device whose characteristics are not dependent on process conditions by forming a semiconductor area on the part of a silicon substrate surface by solid phase diffusion from a polycrystal silicon layer which contains impurity and forming a second semiconductor area by implanting impurity by using the polycrystal silicon and a side wall spacer as a mask.

**CONSTITUTION:** A p-type anode area 57 is formed on the part of the surface layer of an n-type semiconductor layer 53, a spacer 58 is formed on the inner side surface and a cathode area 60 formed of polycrystal silicon doped with n-type impurity is provided inside the spacer 58. The n-type cathode area 56 is formed by impurity solid state diffusion from the cathode electrode 60, and an p-type anode area 57 is formed by impurity implantation using the polycrystal silicon cathode electrode 60 and the spacer 58, which is affixed to the side wall of the electrode 60, as a mask. Therefore, the p-type anode area 57 is self-aligned with the n-type cathode area 56.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-167614

(43)公開日 平成8年(1996)6月25日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/331

29/73

21/329

H 0 1 L 29/ 72

29/ 91

B

審査請求 未請求 請求項の数9 O L (全 13 頁)

(21)出願番号

特願平6-308516

(22)出願日

平成6年(1994)12月13日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 長安 芳彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

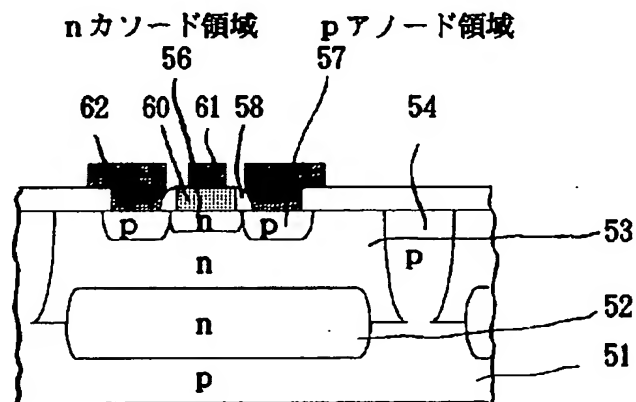
(74)代理人 弁理士 山口 巖

## (54)【発明の名称】 半導体装置の製造方法

## (57)【要約】

【目的】ダイオードのアノード領域、カソード領域形成時のマスク距離に依存する耐圧や、トランジスタの内部ベース領域と外部ベース領域との重なり量に依存する電流増幅率など、半導体装置のプロセス上の変動要因による特性のばらつきや再現性の不良をなくする。

【構成】不純物をドーブした多結晶シリコンのカソード電極からの固相拡散により、カソード領域を形成し、カソード電極の側壁に被着した絶縁膜のスペーサをマスクにして不純物を導入してアノード領域を形成する。アノード領域とカソード領域間の距離がスペーサの幅により、精度良く制御される。トランジスタの場合は、窒化膜の側壁に絶縁膜のスペーサを被着し、そのスペーサをマスク端にして、外部ベース領域を形成し、窒化膜を除去した開口部からの不純物導入により、内部ベース領域を形成する。内部ベース領域と外部ベース領域との重なり量がスペーサの幅の調節により、精度良く制御され、しかも内部ベース領域、外部ベース領域とエミッタ領域とが自己整合し、プロセス条件等に依存しない。



## 【特許請求の範囲】

【請求項1】シリコン基板の表面上の一部に不純物を含む多結晶シリコン層を形成する工程と、その多結晶シリコン層からの固相拡散によりシリコン基板の表面上の一部に第一半導体領域を形成する工程と、前記多結晶シリコン層の側壁に絶縁物からなるスペーサを形成する工程と、前記多結晶シリコン層とスペーサとをマスクとした不純物のシリコン基板への導入により第二半導体領域を形成する工程とを順次行うことを特徴とする半導体装置の製造方法。

【請求項2】前記多結晶シリコン層とスペーサとをマスクとした不純物のシリコン基板への導入により第二半導体領域を形成する工程の後に、前記第一半導体領域と第二半導体領域とを横方向拡散によって接続する工程を行うことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】第一半導体領域が第一導電型であり、第二半導体領域が第二導電型であって、第一半導体領域と第二半導体領域とが、横方向拡散によって、pn接合を形成することを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】第一半導体領域および第二半導体領域の表面上にそれぞれ電極を設け、第一半導体領域および第二半導体領域がダイオードを構成することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】シリコン基板の表面上の一部に薄い酸化膜を介して酸化されにくい薄膜を被着する工程と、その薄膜の側壁に絶縁物からなるスペーサを形成する工程と、その薄膜とスペーサとをマスクとした不純物の半導体基板への導入により第一半導体領域を形成する工程と、その半導体基板上に熱酸化により厚い酸化膜を形成する工程と、前記酸化されにくい薄膜を除去した半導体基板の表面層に前記厚い酸化膜をマスクとした不純物の導入により第二半導体領域を形成する工程とを順次行うことを特徴とする半導体装置の製造方法。

【請求項6】前記酸化されにくい薄膜を除去した半導体基板の表面層に前記厚い酸化膜をマスクとした不純物の導入により第二半導体領域を形成する工程の後に、前記第一半導体領域と第二半導体領域とを横方向拡散によって接続する工程を行うことを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】第一半導体領域が第一導電型であり、第二半導体領域が第二導電型であって、第一半導体領域と第二半導体領域とが、横方向拡散によって、pn接合を形成することを特徴とする請求項5または6に記載の半導体装置の製造方法。

【請求項8】第一半導体領域をバイポーラトランジスタの外部ベース領域、第二半導体領域を内部ベース領域とし、その内部ベース領域の表面層に内部ベース領域と反対の導電型のエミッタ領域を形成する工程と、外部ベー

ス領域から離れた半導体基板の表面層にコレクタ領域を形成する工程とを順次行うことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】酸化されにくい薄膜が窒化膜であることを特徴とする請求項5ないし8のいずれかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高速動作をするダイオード又はバイポーラトランジスタ、特に高密度集積回路内のダイオード又は内部ベース領域および外部ベース領域をもつバイポーラトランジスタ等の半導体装置の製造方法に関する。

## 【0002】

【従来の技術】図8(a)～(c)は、従来技術による高密度集積回路内のダイオード部分の断面図である。図8(a)は、n型半導体層3の表面層にpアノード領域7を形成し、その内部にpアノード領域7より不純物濃度の高いnカソード領域6を形成したものである。このダイオードの耐圧は、高濃度の不純物同士からなるpn接合のA部の濃度勾配で決まり、低い。また、図8

(b)のダイオードは、n型半導体層3の表面層にpアノード領域7とnカソード領域6とを形成する際に、拡散用のマスク間距離 $L_1$ を図のように少しだけ離し、横方向拡散によって形成されるpn接合のB部で耐圧が決まるようにしたもので、耐圧は、ある程度大きくできる。さらに、図8(c)は、n型半導体層3上にpアノード領域7とnカソード領域6とのマスク間距離 $L_1$ をかなり離して形成したもので、耐圧は基本的には、n型半導体層3とpアノード領域7との間のn型半導体層3のパンチスルー又はpn接合の曲率が大きい部分(C部)の降伏で決まる。n型半導体層3とpアノード領域7との間のpn接合は、通常の集積回路であればいたる所にあり、この耐圧は電源電圧よりも高いことが多い。図9に、図8(a)～(c)のダイオードのpアノード領域7とnカソード領域6とを形成する際のマスク上の距離 $L_1$ と、耐圧との関係を示す。横軸は、マスク上の距離 $L_1$ 、たて軸は耐圧である。図8(a)の場合は、nカソード領域6がpアノード領域7の中に入っている

ので負号とした。すなわち、 $L_1$ が負の場合は、図8(a)の機構により、耐圧は低い値で一定である。 $L_1$ が小さい正の値の場合は、図8(b)のように横方向拡散によって形成されるpn接合のB部の不純物濃度の低下とともに増大する。更に $L_1$ が大きくなると、n型半導体層3の距離とともにパンチスルー電圧が増大し、やがて、図8(c)のようにpn接合の曲率が大きい部分(C部)の降伏電圧になり、定電圧になる。

【0003】図10(a)ないし(c)は従来技術による高速、高密度のバイポーラ集積回路におけるnpnトランジスタ部分の代表的な構造の断面図である。図の上

部に示したエミッタ金属電極11、ベース電極12およびコレクタ電極13はストライプ状や櫛歯状に構成するのが普通である。図10(a)において、半導体のpサブストレータ21上のn型半導体層23の表面層の一部にp型のp内部ベース領域25が形成され、そのp内部ベース領域25に接続してその外側にp外部ベース領域27が形成されている。そして、p内部ベース領域25の表面層の一部にn型のnエミッタ領域26が形成されている。22はn型不純物を拡散して形成したn埋め込み領域、また24はこのnpnトランジスタを他の素子から分離するpアイソレーションである。そしてnエミッタ領域26の表面に接触して、多結晶シリコンからなるエミッタ電極30が設けられている。またp外部ベース領域27の表面上にはベース電極32が設けられている。p外部ベース領域27から離れたn型半導体層23の表面層にn型の不純物を導入してnコレクタ領域29が形成されていて、nコレクタ領域29の表面にはコレクタ電極33が設けられている。エミッタ電極30の上に、エミッタ金属電極31が設けられている。34、35はそれぞれ酸化膜、PSG（リンガラス）である。

【0004】図10(a)のnpnトランジスタの製造方法を説明するため、その製造工程順の断面図を図11(a)ないし(d)および図12(a)ないし(b)に示す。pサブストレータ21の表面の一部にn埋め込み領域22となるn型不純物を導入し、そのpサブストレータ21上の全面にn型半導体層23をエピタキシャル成長法で積層する。さらにそのn型半導体層23の表面の一部にp型不純物を導入し、それらを熱拡散してpアイソレーション24およびn埋め込み領域22を形成する[図11(a)]。次に、n型半導体層23の表面に薄い酸化膜40を形成し、フォトレジスト38をマスクとして薄い酸化膜40の一部を除去して開口部36を設ける。同じくフォトレジスト38をマスクとしてp型不純物のイオン39の注入および熱処理により、p内部ベース領域25を形成する[同図(b)]。この際、熱処理前にフォトレジスト38を除去する必要がある。続いてpサブストレータ21とこの上に積層されたn型半導体層23からなるシリコン基板の表面全面に多結晶シリコンを堆積し、n型不純物をイオン注入した後、フォ

エッチング技術によりp内部ベース領域25の上部のみに前記多結晶シリコンを残してエミッタ電極30とする。他の多結晶シリコンは除去し、さらに熱処理してエミッタ電極30からの拡散によりnエミッタ領域26を形成する[同図(c)]。この段階では、p内部ベース領域25、nエミッタ領域26ともに比較的浅い拡散層からなっている。次に、再びフォトレジスト38を塗布、パターンニングし、このフォトレジスト38とエミッタ電極30をマスクとしたp型不純物のイオン39の注入、熱処理により、p外部ベース領域27を形成する[同図(d)]。p外部ベース領域27となる部分の表

面にも薄い酸化膜40が有るが不純物のイオン39はこの酸化膜40を通して注入される。この時の熱処理により、p内部ベース領域25、nエミッタ領域26ともに、ほぼ設計値通りの拡散深さとなる。さらにp外部ベース領域27と離れたn型半導体層23の表面層にフォトレジスト38をマスクとしてn型不純物イオン43を注入、熱処理しnコレクタ領域29を形成する[図12(a)]。最後にこのシリコン基板上にPSG35を堆積し、厚くなった酸化膜34とPSG35をフォトリソエッチング技術により選択的に開口して、エミッタ金属電極31、ベース電極32、コレクタ電極33の金属電極を設けて完成する[同図(b)]。

【0005】以上の工程においてp内部ベース領域25は、酸化膜40に開口部36を設ける際のフォトレジスト38をマスクとしてイオン注入して形成された。すなわち実質上は酸化膜の開口部36から不純物イオンを注入したのと同じである。一方nエミッタ領域26は、同じ開口部36の上に形成した不純物をドーパされた多結晶シリコンからなるエミッタ電極30からの固相拡散により形成された。従って、内部ベース領域25とnエミッタ領域26とは酸化膜の同一開口部36を通して拡散しているため、nエミッタ領域26と内部ベース領域25との間の距離は一義的に決定される。すなわちその距離は拡散条件、例えば不純物濃度や拡散温度、時間によって決められ、開口部36の大きさや位置等には依存しない。この状態を自己整合しているといい、このような方法は、開口部36を加工するときのフォトリソエッチング工程のプロセス条件などの影響を受けにくいので、特性の均一なバイポーラトランジスタができるので、高品質の集積回路の製造に適した方法として一般に広く採用されている。

#### 【0006】

【発明が解決しようとする課題】図8(a)～(c)の従来技術によるダイオードにおいて、耐圧を所望の値に制御できることを示した。しかし、図9に示したように、図8(a)および(c)の構造のダイオードでは、耐圧のpアノード領域7とnカソード領域6とを形成する際のマスク上の距離 $L_1$ に対する依存性が小さいのに対して、図8(b)のダイオードでは、その依存性が大きい。すなわち、特に集積回路のように、同一構造で同一仕様のダイオードを多数形成したい場合、耐圧のバラツキが、図8(a)および(c)の構造のダイオードでは小さいのに対して、図8(b)のダイオードでは大きくなる。特に中間クラスの耐圧のダイオードを形成する場合に、この耐圧のバラツキが問題になる。そのため、ダイオード用の拡散層を別に形成したり、低耐圧のダイオードを直列に接続したりすることが行われているが工程数を増加させたり、チップ面積が大きくなるなどの著しい欠点があった。

【0007】図10(b)、(c)に従来技術による二

つのバイポーラトランジスタ (pnp) の断面図を示す。いずれも、n型半導体層23の表面層にp外部ベース領域27、p内部ベース領域25、nエミッタ領域26を形成したものである。図10(b)では、p外部ベース領域27が内側に寄り過ぎて、p内部ベース領域25との重なりは充分大きい、nエミッタ領域26の周辺直下にもp外部ベース領域27の不純物が存在し、実効的なベース領域の不純物濃度を上げ、nエミッタ領域26の注入効率を下げ、結果として電流増幅率 $h_{FE}$ を下げている。

【0008】また、図10(c)では、p外部ベース領域27が外側に寄り過ぎて、p内部ベース領域25との重なりが少なく、p内部ベース領域25の曲率の大きい底面の端が露出して電界集中により耐圧が小さくなり、p外部ベース領域27による耐圧の向上が充分行われていない。更に、p外部ベース領域27とp内部ベース領域25のマスク合わせずれにより、片側は過剰な重なりで、もう片方は重なりが不足するという状態が起きることもあり、微細化が進んでnエミッタ領域26とp内部ベース領域25の重なりを縮小してくると、そのような状態が顕著になり、望みの特性が得にくくなっていく。

【0009】すなわち、上記の従来のバイポーラトランジスタの製造方法では、n型エミッタ領域26とp内部ベース領域25とは自己整合している。しかし、多結晶シリコンのエミッタ電極30と酸化膜の開口部36とは別の加工となるので、nエミッタ領域26、p内部ベース領域25とp外部ベース領域27とは自己整合していない。図13に酸化膜の開口部36と多結晶シリコンのエミッタ電極30との配置およびp内部ベース領域25、nエミッタ領域26とp外部ベース領域27の位置関係を要部拡大断面図で示した。図13の開口部36の端から多結晶シリコンのエミッタ電極30の端迄の距離 $L_2$ を以後外部ベース重なり量と呼ぶことにする。この $L_2$ が変われば、nエミッタ領域26とp外部ベース領域27との距離が変わることになる。この $L_2$ の変動要因としては、(1)エミッタ電極30と開口部36とのマスクずれ(マスク合わせ精度)、と(2)多結晶シリコン電極30の加工精度とが考えられる。要因(2)は図11の開口部36とエミッタ電極30のパターン形成の際、エッチング液の濃度、温度、時間などのフォトリソグラフィング工程におけるプロセス条件の変動により、距離 $L_2$ が変動するものである。

【0010】図14は、図13の外部ベース重なり量 $L_2$ とトランジスタの電流増幅率 $h_{FE}$ との関係をn型半導体層23におけるA、B、C、Dの4種の異なる不純物濃度をパラメータとして示す実験データである。横軸を外部ベース重なり量 $L_2$ 、縦軸は電流増幅率 $h_{FE}$ として対数目盛りで示した。この図は、 $L_2$ が $0.2\mu m$ ずつ異なる毎に、トランジスタの電流増幅率が約2.5倍も変わることを示している。この実験データは、開口部3

6の両側で外部ベース重なり量 $L_2$ を変えた場合であるが、上記の要因(1)のマスクずれの場合にも電流増幅率が影響されることは容易に察せられる。

【0011】図14に示したようにバイポーラトランジスタの電流増幅率( $h_{FE}$ )は、上記の距離 $L_2$ に強い依存性があり、その距離 $L_2$ が少し変わるだけで大きく変わるので、デバイス特性を決める重要なパラメータがフォトリソグラフィング工程でのプロセス条件の変動などに大きく左右されることになる。ある集積回路を試作しその中のnpnトランジスタの電流増幅率のバラツキを調べたところ、2~3倍におよぶものが有った。

【0012】このように、バイポーラトランジスタでは、デザインルールが縮小してデバイスの大きさが小さくなってくると、外部ベース領域と内部ベース領域の合わせずれによる電流増幅率 $h_{FE}$ の低下、電流増幅率 $h_{FE}$ ばらつきの増加、耐圧の低下、耐圧ばらつきの増加が顕著になる。そして、この問題は、内部ベース領域と外部ベース領域とをもつバイポーラトランジスタ全体にかかわる問題であって、個別のトランジスタのみでなくバイポーラ集積回路内のそのようなトランジスタや、CMOS素子と同一チップ上にバイポーラトランジスタを集積したいいわゆるBi-CMOS素子内のそのようなトランジスタにも共通の問題である。

【0013】上述の従来の半導体装置の製造方法によるダイオードおよびトランジスタに共通の問題として、特性がプロセス条件の変動に左右され、ばらつき易い点が挙げられる。以上の問題に鑑み、本発明の目的は、特性がプロセス条件の変動に大きく左右されず、均一な、また製造の容易な半導体装置の製造方法を提供することにある。

#### 【0014】

【課題を解決するための手段】上記の問題点を解決するため、本発明の半導体装置の製造方法は、半導体基板の表面上の一部に不純物を含む多結晶シリコン層を形成する工程と、その多結晶シリコン層からの固相拡散により半導体基板の表面上の一部に第一半導体領域を形成する工程と、前記多結晶シリコン層の側壁に絶縁物からなるスペーサを形成する工程と、前記多結晶シリコン層とスペーサとをマスクとした不純物の半導体基板への導入により第二半導体領域を形成する工程を順次行うものとする。

【0015】また上記の工程の後、前記第一半導体領域と第二半導体領域とを、横方向拡散によって接続する工程を行うのがよい。第一半導体領域が第一導電型であり、第二半導体領域が第二導電型であって、第一半導体領域と第二半導体領域とが、横方向拡散によって、pn接合を形成し、また第一半導体領域および第二半導体領域の表面上にそれぞれ電極を設け、第一半導体領域および第二半導体領域がダイオードを構成するようにすることができる。

【0016】また、半導体基板の表面上の一部に薄い酸化膜を介して酸化されにくい薄膜を被着する工程と、その薄膜の側面に絶縁物からなるスペーサを形成する工程と、その薄膜とスペーサとをマスクとした不純物の半導体基板への導入により第一半導体領域を形成する工程と、その半導体基板上に熱酸化により厚い酸化膜を形成する工程と、前記酸化されにくい薄膜を除去した半導体基板の表面層に前記厚い酸化膜をマスクとした不純物の導入により第二半導体領域を形成する工程とを順次行うものとする。

【0017】特に上記の工程の後、前記第一半導体領域と第二半導体領域とを、横方向拡散によって接続するのがよい。第一半導体領域が第一導電型であり、第二半導体領域が第二導電型であって、第一半導体領域と第二半導体領域とが、横方向拡散によって、pn接合を形成するようにすることができる。

【0018】更に、第一半導体領域を外部ベース領域、第二半導体領域を内部ベース領域とし、その内部ベース領域の表面層に内部ベース領域と反対の導電型のエミッタ領域を形成する工程と、外部ベース領域から離れた半導体基板の表面層にコレクタ領域を形成する工程とを順次行い、バイポーラトランジスタを構成するようにすることができる。すなわち、第一導電型半導体層の一主表面の一部に酸化されにくい薄膜を被着する第一の工程と、酸化されにくい薄膜の側面に絶縁膜のスペーサを形成する第二工程と、その酸化されにくい薄膜およびスペーサをマスクの一部として第二導電型不純物を導入して外部ベース領域を形成する第三の工程と、熱酸化により半導体基板の表面上に厚い酸化膜を形成する第四の工程と、前記薄膜を除去した第一導電型半導体層の表面層に厚い酸化膜をマスクとして第二導電型不純物を導入して内部ベース領域を形成する第五の工程と、内部ベース領域の表面層に第一導電型不純物を導入してエミッタ領域を形成する第六の工程と、外部ベース領域から離れた第一導電型半導体層の表面層の一部に第一導電型の不純物の導入を行う第七の工程とを順次行うものとする。その後の拡散熱処理時に生じたイオン注入領域の上の酸化膜の一部に穴を明け多結晶シリコン又は金属膜を蒸着し、パターン形成する工程は従来通りでよい。

【0019】酸化されにくい薄膜は例えば窒化膜が用いられる。

【0020】

【作用】上記の手段を講じ、半導体基板の表面上の一部に不純物を含む多結晶シリコン層を形成する工程と、その多結晶シリコン層からの固相拡散により半導体基板の表面上の一部に第一半導体領域を形成する工程と、前記多結晶シリコン層の側壁に絶縁物からなるスペーサを形成する工程と、前記多結晶シリコン層とスペーサとをマスクとした不純物の半導体基板への導入により第二半導体領域を形成する工程とを順次行えば、第一半導体領域

と第二半導体領域との間の距離が、スペーサの幅で決定される。そして、そのスペーサの幅は、絶縁膜の厚さの調節により、極めて精度良く制御できる。従って、二つの領域の間隔をスペーサを用いて精度良く制御することにより、特性の均一な、ばらつきが小さいデバイスを再現性良く得ることができる。

【0021】特に上記の工程の後、前記第一半導体領域と第二半導体領域とを横方向拡散によって接続する工程を行えば、第一半導体領域と第二半導体領域との間の重なりが、スペーサの幅で決定される。そして、そのスペーサの幅は、絶縁膜の厚さの調節により、極めて精度良く制御できる。従って、二つの領域の間隔をスペーサを用いて精度良く制御することにより、特性の均一な、ばらつきが小さいデバイスを再現性良く得ることができる。

【0022】第一半導体領域が第一導電型であり、第二半導体領域が第二導電型であって、第一半導体領域と第二半導体領域とが、横方向拡散によって、pn接合を形成し、例えば第一半導体領域および第二半導体領域の表面上にそれぞれ電極を設けてダイオードを構成すれば、耐圧が精密に制御でき、しかも均一性が増す。その多結晶シリコンをマスクに拡散して(n型層に対して自己整合的に)p型層を形成することを基本に、その多結晶シリコンの側壁に酸化膜スペーサを形成してから、多結晶シリコンと酸化膜スペーサとをマスクにしてイオン注入でp型層を形成することで、n型層とp型層のマスク間隔をスペーサの幅だけ精度良く離し、所望の耐圧の、ばらつきが小さいダイオードを得ることができる。

【0023】また、半導体基板の表面上の一部に薄い酸化膜を介して酸化されにくい薄膜を被着する工程と、その薄膜の側面に絶縁物からなるスペーサを形成する工程と、その薄膜とスペーサとをマスクとした不純物の半導体基板への導入により第一半導体領域を形成する工程と、その半導体基板上に熱酸化により厚い酸化膜を形成する工程と、前記酸化されにくい薄膜を除去した半導体基板の表面層に前記厚い酸化膜をマスクとした不純物の導入により第二半導体領域を形成する工程とを順次行えば、第一半導体領域と第二半導体領域との間の距離が、スペーサの幅で決定される。そして、そのスペーサの幅は、絶縁膜の厚さの調節により、極めて精度良く制御できる。従って、二つの領域の間隔をスペーサを用いて精度良く制御することにより、特性の均一な、ばらつきが小さいデバイスを再現性良く得ることができる。

【0024】特に上記の工程の後、前記第一半導体領域と第二半導体領域とを、横方向拡散によって接続する工程を行えば、第一半導体領域と第二半導体領域との間の重なりが、スペーサの幅で決定される。そして、そのスペーサの幅は、絶縁膜の厚さの調節により、極めて精度良く制御できる。従って、二つの領域の間隔をスペーサを用いて精度良く制御することにより、特性の均一な、



ばらつきが小さいデバイスを再現性良く得ることができる。

【0025】第一半導体領域が第一導電型であり、第二半導体領域が第二導電型であって、第一半導体領域と第二半導体領域とが、横方向拡散によって、pn接合を形成すれば、第一半導体領域と第二半導体領域との重なりを精密に制御でき、所望の耐圧を得ることができる。更に、第一半導体領域を外部ベース領域、第二半導体領域を内部ベース領域とし、その内部ベース領域の表面層に内部ベース領域と反対の導電型のエミッタ領域を形成する工程と、外部ベース領域から離れた半導体基板の表面層にコレクタ領域を形成する工程とを順次行い、バイポーラトランジスタを構成するようにすることができる。すなわち、第一導電型半導体層の一面表面の一部に酸化されにくい薄膜を被着する第一の工程と、酸化されにくい薄膜の側面に絶縁膜のスペーサを形成する第二工程では、酸化されにくい薄膜により内部ベース領域となる領域が規定される。その酸化されにくい薄膜およびスペーサをマスクの一部として第二導電型不純物を導入する第三の工程では、外部ベース領域が形成される。熱酸化により半導体基板の表面上に厚い酸化膜を形成する第四の工程では内部ベース領域形成のためのイオン注入のマスクとなる酸化膜が形成される。前記薄膜を除去した第一導電型半導体層の表面層に厚い酸化膜をマスクとして第二導電型不純物を導入する第五の工程では内部ベース領域が形成される。内部ベース領域の表面層に第一導電型不純物を導入する第六の工程では、形成される多結晶シリコン層は、エミッタ領域が形成される。外部ベース領域から離れた第一導電型半導体層の表面層の一部に第一導電型の不純物の導入を行う第七の工程は不純物の導入により、コレクタ領域が形成される。このようにして、外部ベース領域と内部ベース領域とを自己整合的に形成することが可能である。

【0026】酸化されにくい薄膜は例えば窒化膜が用いられる。上記の手段を講じれば、最も重要な寸法である第二導電型の外部ベース領域の内側の寸法は、そのイオン注入の前に被着してマスクとした酸化されにくい薄膜、例えば窒化シリコン膜の形状によって決まる。一方第二導電型の内部ベース領域および第一導電型のエミッタ領域は、窒化シリコン膜を除去した部分から導入されるので、それらの寸法はやはり窒化シリコン膜の形状によって決まる。すなわち、これら三つの領域は自己整合していることになる。従って、従来のエミッタ電極などの加工精度などのようにプロセス条件の変動に影響されることはなく、特性の均一なバイポーラトランジスタが得られる。

【0027】

【実施例】以下、図を引用して本発明の実施例について述べる。図1は本発明の製造方法にかかる高速、高密度のバイポーラ集積回路内のダイオード部分の断面を示し

たものである。p型アイソレーションで分離されているダイオードを例に取り上げた。pサブストレータ51上に一部n埋め込み領域52を介してn型半導体層53が積層され、周囲に素子分離のためのpアイソレーション54が設けられている。n型半導体層53の表面層の一部にリング状の（従って断面図では二つの）pアノード領域57が形成され、そのpアノード領域57の内側表面上にはスペーサ58が形成されている。スペーサ58の内側にはn型不純物をドーパされた多結晶シリコンからなるカソード電極60が設けられていて、そのカソード電極60の下表面層にnカソード領域56が形成されている。カソード電極60およびpアノード領域57の表面上にはそれぞれ金属膜のカソード金属電極61、アノード電極62が設けられている。

【0028】nカソード領域56はカソード電極60からの不純物の固体拡散により形成されており、pアノード領域57は、多結晶シリコンのカソード電極60およびその側壁に被着形成したスペーサ58をマスクにした不純物の導入により形成されている。従って、pアノード領域57はnカソード領域56と自己整合している。

【0029】図1の構成にすれば、先に述べたようにダイオードの重要な特性である耐圧に大きな影響を与えるnカソード領域56とpアノード領域57との間の距離がスペーサ58の幅を調節することにより精密に調節され、従って耐圧が正確に制御できる。特に、nカソード領域56とpアノード領域57とが横方向拡散によって接続するようにすれば、両領域の重なりがスペーサ58の幅を調節することにより精密に調節され、従来制御の難しかった中間の耐圧が正確に制御できる。また、nカソード領域56とpアノード領域57とが自己整合しているので、両領域の形成時の加工精度には依存せず、マスク材料やエッチング液の濃度、温度など、フォトリソ工程のプロセス条件の変動に左右されない、特性の均一な、作りやすい半導体素子となる。

【0030】図3(a)ないし(d)および図4(a)ないし(b)は、本発明の半導体装置の製造方法によるダイオードの製造工程を工程順に便宜的に二つの図に分けて断面図で模式的に示したものである。また、図3、4はバイポーラ集積回路内のアイソレーションで分離されているダイオードの例である。以下、図に基づいて製造工程を順に説明する。比抵抗 $0.03 \text{ } \Omega \cdot \text{cm}$ のpサブストレータ51の表面の、n埋め込み領域52を形成する部分にn型不純物をイオン注入し、そのpサブストレータ51の表面全面に厚さ $10 \mu\text{m}$ 、比抵抗 $3 \text{ } \Omega \cdot \text{cm}$ のn型半導体層53をエピタキシャル成長法により積層する。さらに、このダイオードを他のデバイス部分と分離する必要の有る場合は、そのn型半導体層53の表面に選択的にp型不純物をイオン注入した後、熱処理してpアイソレーション54を形成する。次に、この半導体基板の表面に例えば厚さ $30 \text{ nm}$ の薄い酸化膜7

0を熱酸化により形成し、ダイオードを形成する領域近傍をフォトエッチング技術を用いて酸化膜に密明けをする〔図3(a)〕。その上に減圧CVD(化学気相蒸着法)法により厚さ300nmの例えば燐のようなn型不純物をドーブした多結晶シリコン膜を堆積し、この多結晶シリコン膜をフォトエッチング技術により、nカソード領域を形成する部分のみを残して除去する。この部分はカソード電極60となる〔同図(b)〕。n型不純物をドーブした多結晶シリコン膜の代わりにドーブしていない多結晶シリコン膜を堆積し、イオン注入法によりn型不純物をドーブすることもできる。続いて減圧CVD法により酸化膜67を厚さ300nm堆積させる。この前又は後に熱処理によって、多結晶シリコン膜のカソード電極60からn型不純物を拡散させ、nカソード領域56を形成する〔同図(c)〕。次に、三フッ化メタン、四フッ化炭素とアルゴンの混合ガスを用いたRIE(反応性イオンエッチング)により、酸化膜67をエッチバックしてカソード電極60の側壁に幅300nmのスペーサ58として残す〔同図(d)〕。再び薄い酸化膜70を形成した後、フォトレジスト68を塗布し、pアノード領域57となる部分のパターニングを行う。この時、カソード電極60およびスペーサ58上のフォトレジスト68はスペーサ58の両端よりも少し内側にするか、若しくはカソード電極60およびスペーサ58上にはフォトレジスト68は残さないようにし、スペーサ58の端をマスク端としてp型不純物のイオン69を注入する。p型不純物のイオン69の注入条件としては、例えばBF<sub>3</sub>(二フッ化ホウ素)のイオンを加速電圧50keV(キロエレクトロンスボルト)でドーズ量 $5 \times 10^{13} / \text{cm}^2$ で行うか又は、B(ホウ素)のイオンを30keVで行う。イオン注入後、フォトレジスト68の除去に続いて、熱処理を行えば、pアノード領域57が形成される〔図4(a)〕。さらに、熱酸化を行い、厚さ500nmの厚い酸化膜64を形成する。最後にPSG(燐ガラス)65をプラズマCVD法により堆積し、各電極用のコンタクトホールを開けて、金属膜を蒸着し、パターニングしてカソード金属電極61、アノード電極62を設けて完了する〔同図(b)〕。

【0031】このような製造方法を取ることににより、nカソード領域56の形成は、ドーブ多結晶シリコンからなるカソード電極60からの固体拡散によりなされ、一方pアノード領域57の形成は、カソード電極60とその側壁のスペーサ58の端をマスクとした不純物の導入によりなされるので、これら二つの領域は自己整合している。

【0032】図2は本発明の製造方法にかかる高速、高密度のバイポーラ集積回路内のnpnトランジスタ部分の断面を示したものである。pアイソレーションで分離されているnpnトランジスタを例に取り上げた。pサブストレート71上に一部n型埋め込み領域72を介し

てn型半導体層73が積層され、周囲に素子分離のためのpアイソレーション74が設けられている。n型半導体層73の一部の表面層にリング状の(従って断面図では二つの)p型のp外部ベース領域77が形成され、そのp外部ベース領域77の表面には厚い酸化膜84が形成されている。p外部ベース領域77に接してその内側には厚い酸化膜84をマスクとして形成されたやはりp型のp内部ベース領域75が形成されている。厚い酸化膜84の開口部86の上にはn型不純物をドーブされた多結晶シリコンからなるエミッタ電極80が設けられていて、そのエミッタ電極80の下p内部ベース領域75の表面層にnエミッタ領域76が形成されている。p外部ベース領域77から離れたn型半導体層73の表面層にnコレクタ領域79が形成されていて、エミッタ電極80、外部ベース領域77およびn型コレクタ領域79の表面上にはそれぞれ金属膜のエミッタ金属電極81、ベース電極82、コレクタ電極83が設けられている。

【0033】酸化膜84の開口部86には以前に開口部より少し大きい窒化膜が被着されていて、その窒化膜とその窒化膜の側壁に被着形成されたスペーサをマスクとして外部ベース領域77が形成されており、熱酸化して窒化膜以外の部分に厚い酸化膜84を形成した後、窒化膜を除去して厚い酸化膜84をマスクとしてp内部ベース領域75とnエミッタ領域76とが形成されている。従ってp外部ベース領域77はnエミッタ領域76、p内部ベース領域75と自己整合している。

【0034】図4の構成にすれば、先に述べたようにバイポーラトランジスタの重要な特性である電流増幅率に大きな影響を与えるnエミッタ領域76、p内部ベース領域75とp外部ベース領域77とが自己整合しているので、開口部86や多結晶シリコンのエミッタ電極80の加工精度には依存せず、マスク材料やエッチング液の濃度、温度など、フォトエッチング工程のプロセス条件の変動に左右されない、特性の均一な、作りやすい半導体素子となる。

【0035】図2の構造のnpnトランジスタを含む集積回路を試作したところ、トランジスタの電流増幅率のバラツキが図10の従来のものでは2~3倍の変動バラツキがあったものが、10%以内のバラツキに抑えることが可能となり、歩留りの大幅な改善がなされた。以前に述べた電流増幅率を変動させる要因のうちマスクずれのひどい場合は、耐圧の低下も見られたが、そのようなこともなくなった。

【0036】図5(a)ないし(d)および図6(a)ないし(d)は、本発明の半導体装置の製造方法に係るバイポーラトランジスタの製造工程を工程順に便宜的に二つの図に分けて断面図で模式的に示したものである。図5、6はバイポーラ集積回路内のアイソレーションで分離されているnpnトランジスタの例である。以下、

10

20

30

40

50



図に基づいて製造工程を順に説明する。比抵抗0.03  
 オームcmのpサブストレート71の表面の、n埋め込  
 み領域72を形成する部分にn型不純物をイオン注入  
 し、そのpサブストレート71の表面全面に厚さ10μ  
 m、比抵抗3オームcmのn型半導体層73をエビタキ  
 シャル成長法により積層する。さらに、このnpnトラ  
 ンジスタを他のデバイス部分と分離する必要の有る場合  
 は、そのn型半導体層73の表面に選択的にp型不純物  
 をイオン注入した後、熱処理してpアイソレーション7  
 4を形成する[図5(a)]。次に、この半導体基板の  
 表面に例えば厚さ30nmの薄い酸化膜90を熱酸化に  
 より形成し、その上にプラズマCVD法により厚さ  
 150nmの窒化膜(窒化シリコン膜)を堆積する。  
 この窒化膜をフォトリソ技術により、エミッタ領  
 域を形成する部分94のみを残して除去する[同図  
 (b)]。次に、減圧CVD法により酸化膜87を厚さ  
 200nm堆積し、三フッ化メタン、四フッ化炭素とアル  
 ギンの混合ガスを用いたRIE(反応性イオンエッチ  
 ング)により、エッチバックして窒化膜部分94の側壁  
 に幅200nmのスペーサ78として残す[同図  
 (c)]。更に、再び熱酸化により厚さ30nmの薄い  
 酸化膜90を形成した後、フォトリソ88を塗布  
 し、外部ベース領域77となる部分のパターニングを行  
 う。この時、窒化シリコン膜部分94およびスペーサ7  
 8上のフォトリソ88はスペーサ78の両端よりも  
 少し内側にするか、若しくは窒化シリコン膜部分94お  
 よびスペーサ78上にはフォトリソ88は残さない  
 ようにしてスペーサ78の端をマスク端としてp型不純  
 物のイオン89を注入する。p型不純物のイオン89の  
 注入条件としては、例えばBF<sub>3</sub>(二フッ化ホウ素)の  
 イオンを加速電圧50keV(キロエレクトロンボル  
 ト)でドーズ量 $5 \times 10^{15}/\text{cm}^2$ で行うか又は、B  
 (ホウ素)のイオンを30keVで行う。イオン注入  
 後、フォトリソ88の除去に続いて熱処理を行え  
 ば、外部ベース領域77が形成される[同図(d)]。  
 スペーサ78を除去した後熱酸化を行い、厚さ500n  
 mの厚い酸化膜84を形成する。この時、窒化シリコ  
 ン膜部分94の上下には殆ど酸化膜は成長しないが、窒  
 化シリコン膜部分94の外周付近の窒化シリコン膜の下  
 のn型半導体層73の表面は少し酸化されるので、図に描  
 いたように、窒化シリコン膜部分94の周囲が少し持ち  
 上げられたような形になる。また外部ベース領域77の  
 拡散深さが少し深くなる[図6(a)]。窒化膜シリ  
 コン膜部分94とその下の薄い酸化膜90を除去し、厚  
 い酸化膜84をマスクとして、B(ホウ素)のイオン89  
 を加速電圧30keVでドーズ量 $1 \times 10^{15}/\text{cm}^2$ で  
 イオン注入し、熱処理を行って内部ベース領域75を形  
 成する[同図(b)]。減圧CVD法により、厚さ1μ  
 mの多結晶シリコン膜を全面に堆積し、リンイオンを加速  
 電圧50keVでドーズ量 $1 \times 10^{16}/\text{cm}^2$ でイオン

注入し、熱処理を行い、フォトリソ技術によりパ  
 ターニングして、厚い酸化膜84の開口部86より片側  
 1μm程度大きく残して多結晶シリコン膜のエミッタ電  
 極80とする。多結晶シリコン膜として、例えばリンを $4$   
 $\times 10^{19}$ 個/cm<sup>3</sup>含んだいわゆるドーパド多結晶シリ  
 コン膜を堆積することもでき、その場合は、リンイオン  
 の注入工程が不要になる。熱処理を加えて、n型不純物  
 を、厚い酸化膜84の開口部86から拡散させ、nエミ  
 ッタ領域76を形成する[同図(c)]。nエミッタ領  
 域76は、n型不純物のイオン注入および熱処理によっ  
 て形成することもできる。さらにフォトリソを塗布  
 し、パターン形成してp外部ベース領域77から離れた  
 位置の厚い酸化膜84に開口し、砒素イオンを加速電圧  
 50keVでドーズ量 $5 \times 10^{15}/\text{cm}^2$ でイオン注入  
 し、熱処理を行い、nコレクタ領域を形成する。最後に  
 PSG(リンガラス)85をプラズマCVD法により堆積  
 し、各電極用のコンタクトホールを開けて、金属膜を蒸  
 着し、パターニングしてエミッタ金属電極81、ベース  
 電極82、コレクタ電極83を設けて完了する[同図  
 (d)]。このような製造方法を取ることににより、p外  
 部ベース領域77の形成が窒化シリコン膜部分94の側  
 壁のスペーサ78の端をマスクとしてなされ、一方p内  
 部ベース領域75およびnエミッタ領域76の形成は、  
 熱酸化後その酸化膜をマスクとして窒化シリコン膜部  
 分94を除去したn型半導体層73の表面からなされるの  
 で、スペーサ78の幅を調節することによって、p内部  
 ベース領域75とp外部ベース領域77との重なりは精  
 密に制御できるとともに、これら三つの領域は完全に自  
 己整合している。特に、スペーサ78の幅は、その元の  
 酸化膜87の厚さの調節により精密な制御が可能であ  
 る。

【0037】図7(a)ないし(c)は、本発明の半導  
 体装置の製造方法にかかるバイポーラトランジスタの別  
 の製造工程を工程順に断面図で模式的に示したものであ  
 り、図6(a)ないし(c)に対応する部分である。図  
 6(a)は、スペーサ78を除去した後熱酸化を行い、  
 厚さ500nmの厚い酸化膜84を形成したが、ここ  
 ではスペーサ78を残したまま熱酸化を行っている[図7  
 (a)]。この時、窒化シリコン膜部分94の下に拡散  
 する酸素量が減るので、窒化シリコン膜部分94の外周  
 付近の窒化シリコン膜の下にn型半導体層73の表面の  
 酸化量が少ない。続いて図6(b)と同様に、窒化膜シリ  
 コン膜部分94とその下の薄い酸化膜90を除去し、  
 厚い酸化膜84をマスクとして、B(ホウ素)のイオン  
 注入および熱処理により内部ベース領域75を形成する  
 [図7(b)]。上に述べたように、窒化シリコン膜部  
 分94の外周付近の窒化シリコン膜の下にn型半導体層  
 73の表面の酸化量が少ないため、p内部ベース領域7  
 5は、図6(b)の場合に比べて少し広くなり、p外部  
 ベース領域77との重なり量が増す。この後、図6

(c)と同様にnエミッタ領域76を形成する〔図7(c)〕と、結果として、npnトランジスタは、図6のものに比べて、耐圧は高く、電流増幅率 $h_{FE}$ は小さくなる傾向を持つ。勿論、スペーサ78の幅や、拡散領域の深さで、トランジスタの特性はいろいろに調節できるので、どちらの方法が良いと言うわけではない。

【0038】上の例ではpサブストレータ71を用いたが、n型半導体層73をpアイソレーション74で分離して多数のnpnトランジスタやその他の素子を集積するのに適している。勿論目的によって、n型のサブストレータやあるいは絶縁膜の上に薄い半導体層を積層したSOI基板を使ってもよい。また導電型を逆にしたpnpトランジスタでも全く同じように構成および製造できることはいうまでもない。

【0039】また、Bi-CMOS素子において本発明の製造方法をとれば、外部ベース領域とMOSトランジスタのpフィールドなど多くの工程を同一にすることによって工程数の増加を最小にでき、Bi-CMOSデバイスを容易に製造することができる。上記のトランジスタの例において、そのp内部ベース領域75とp外部ベース領域77とを同じ導電型の拡散領域とせず、一方を逆導電型の拡散領域とすれば、ダイオードが形成できる。しかも、その場合は二つの領域を離すことも、横方向拡散によって接続することもでき、耐圧の精密な制御が可能になることは図1のダイオードの場合と同様である。

#### 【0040】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法によれば、絶縁膜のスペーサを利用することによって、従来の製造方法による半導体装置で見られたプロセス条件の変動などに起因する特性のバラツキが回避でき、均一な特性の半導体装置が再現性良く得られる。

【0041】例えば、ダイオードの場合、pアノード領域とnカソード領域とが自己整合的に形成され、しかもpアノード領域とnカソード領域とのマスク間隔をスペーサの幅により精密に制御できるので、所望の耐圧を精度良く得ることができる。また、トランジスタの場合は、外部ベース領域と内部ベース領域との重なりをスペーサの幅により精密に制御できるので、所望の耐圧、所望の電流増幅率 $h_{FE}$ を精度良く得ることができる。しかも、外部ベース領域、内部ベース領域とエミッタ領域が互いに自己整合しているので、プロセス条件の変動などに依存せず電流増幅率のバラツキは、1/20以下に低減できる。

【0042】このように、少しの工程の追加により、従来の半導体装置の問題は解決され、著しい性能の向上が得られるとともに、常に安定した再現性の高い半導体の製造方法とすることで、歩留りの改善がなされ、工業的メリットが非常に大きい。

#### 【図面の簡単な説明】

【図1】本発明の製造方法にかかる高速、高密度バイポーラ集積回路内のダイオード部分の断面図

【図2】本発明の製造方法にかかる高速、高密度バイポーラ集積回路内のnpnトランジスタ部分の断面図

【図3】図1のダイオード部分の製造工程を(a)から(d)の順に示す断面図

【図4】図3に続くダイオード部分の製造工程を(a)から(b)の順に示す断面図

10 【図5】図2のnpnトランジスタ部分の製造工程を(a)から(d)の順に示す断面図

【図6】図5に続くnpnトランジスタ部分の製造工程を(a)から(d)の順に示す断面図

【図7】図5に続く別のnpnトランジスタ部分の製造工程を(a)から(c)の順に示す断面図

【図8】(a)ないし(c)は、従来の製造方法による高速、高密度バイポーラ集積回路内のダイオード部分の断面図

20 【図9】従来の高速、高密度バイポーラ集積回路内のダイオードのアノード領域-カソード領域間マスク距離 $L_1$ と耐圧との関係を示す図

【図10】(a)は従来の製造方法による高速、高密度バイポーラ集積回路内のnpnトランジスタ部分の断面図、(b)および(c)は別のnpnトランジスタ部分の断面図

【図11】従来の高速、高密度バイポーラ集積回路内のnpnトランジスタ部分の製造工程を(a)から(d)の順に示す断面図

30 【図12】図11に続くnpnトランジスタ部分の製造工程を(a)から(b)の順に示す断面図

【図13】従来の高速、高密度バイポーラ集積回路内のnpnトランジスタ部分の外部ベース重なり量を説明する図

【図14】従来の高速、高密度バイポーラ集積回路内のnpnトランジスタの外部ベース重なり量 $L_2$ と電流増幅率 $h_{FE}$ との関係を示す図

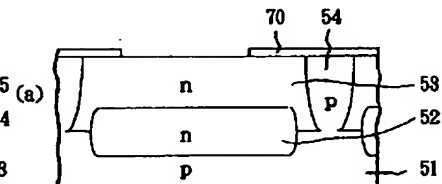
#### 【符号の説明】

3、23、53、73	n型半導体層
4、24、54、74	pアイソレーション
6、56	nカソード領域
7、57	pアノード領域
21、51、71	pサブストレータ
22、52、72	n埋め込み領域
25、75	p内部ベース領域
26、76	エミッタ領域
27、77	p外部ベース領域
29、79	nコレクタ領域
30、80	エミッタ電極
31、81	エミッタ金属電極
50 32、82	ベース電極

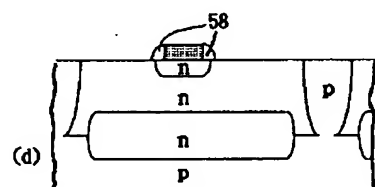
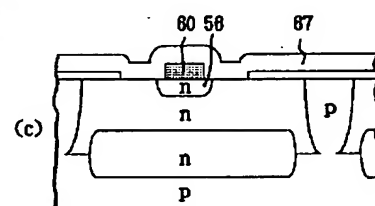
18

n型不純物イオン  
スペース  
カソード電極  
カソード金属電極  
アノード電極  
酸化膜  
窒化膜部分

【図 3】



(b)



a)

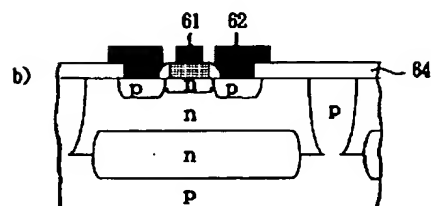
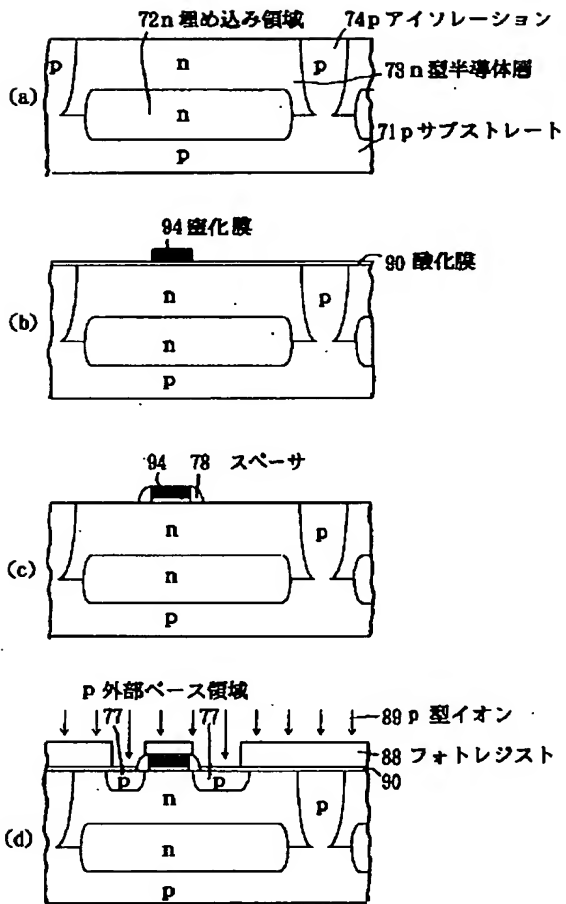
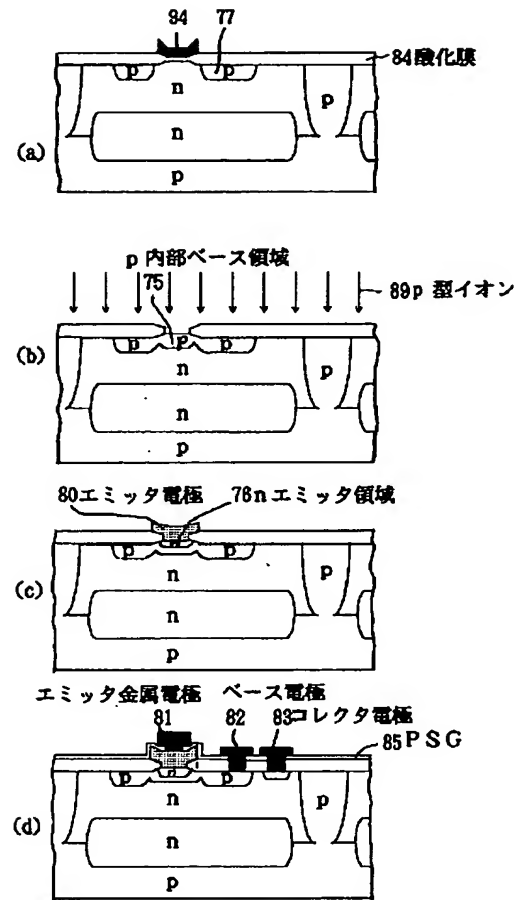


Figure 1 is a graph showing the relationship between the thickness of the mask ( $L_1$ ) and the resistance ( $R$ ). The x-axis is labeled "マスク上の厚さ  $L_1$ " and has markers for -, 0, and +. The y-axis is labeled "耐圧" (Resistance). The curve shows that resistance is low for negative  $L_1$ , increases sharply for positive  $L_1$ , and then levels off.

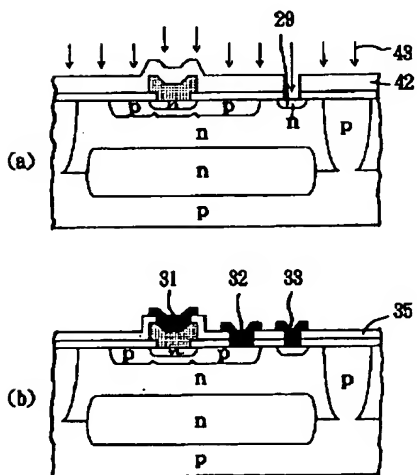
【図5】



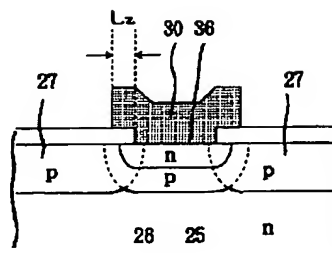
【図6】



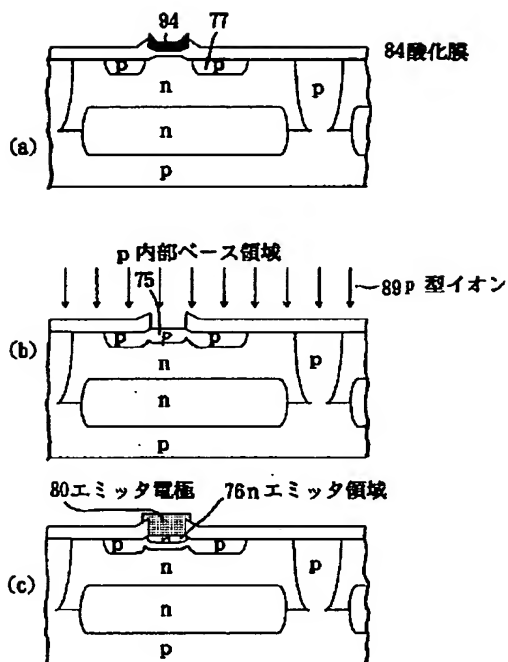
【図12】



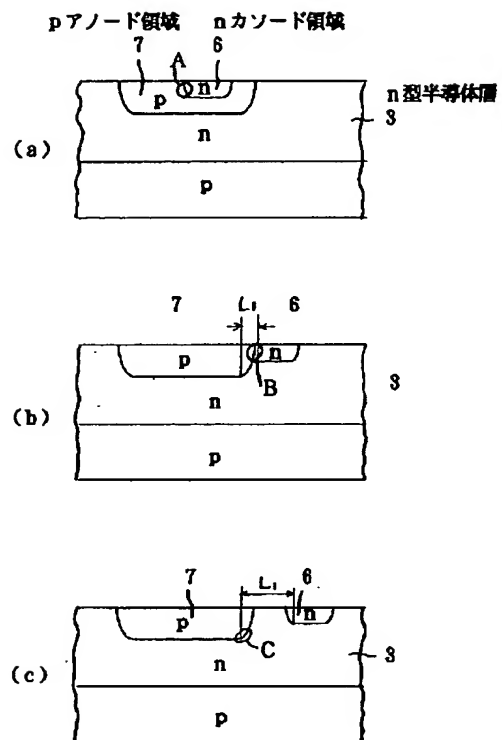
【図13】



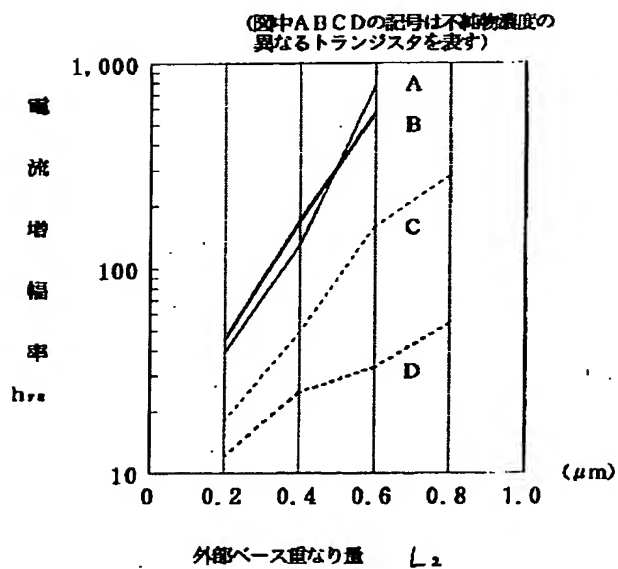
【図7】



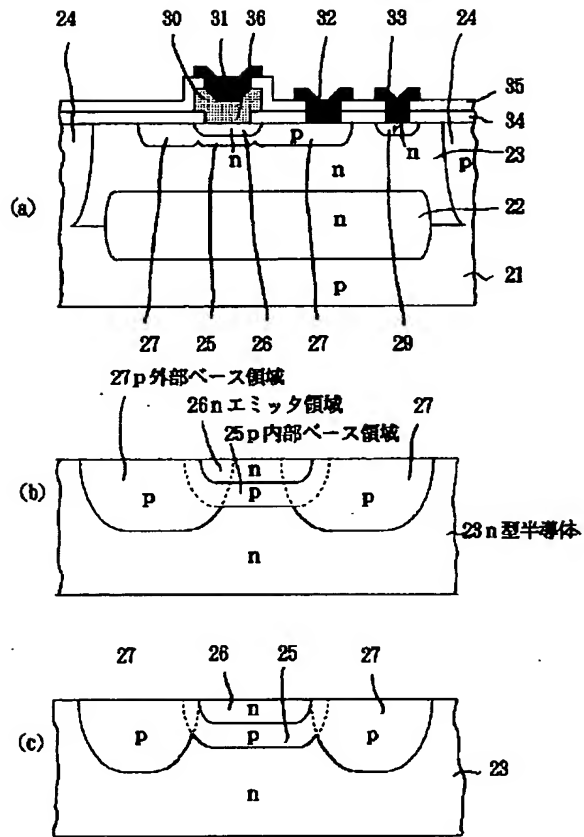
【図8】



【図14】



【図10】



【図11】

